

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 2001-358225
(43) Date of publication of application : 26.12.2001

(51) Int.Cl.
H01L 21/8234
H01L 21/283
H01L 21/318
H01L 27/088

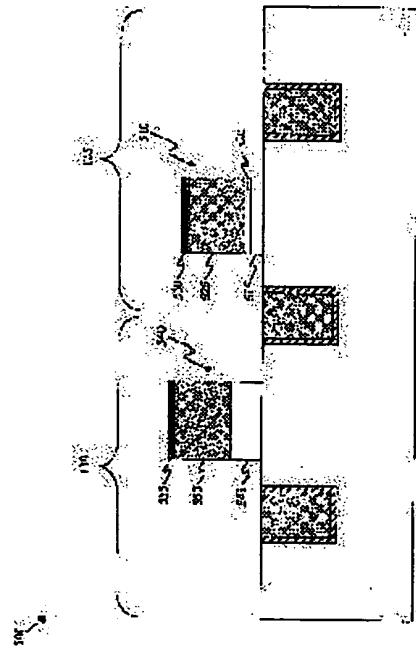
(21) Application number : 2001-105631
(22) Date of filing : 04.04.2001
(71) Applicant : AGERE SYSTEMS GUARDIAN CORP
(72) Inventor : CHITTIPEDDI SAILESH
MA YI
ROY PRADIP K

(30) Priority
Priority number : 2000 542763 Priority date : 04.04.2000 Priority country : US

(54) DUAL-GATE SEMICONDUCTOR DEVICE HAVING BARRIER LAYER CONTAINING NITROGEN AND OXYGEN AND METHOD OF MANUFACTURING THE SAME

(57) Abstract:
PROBLEM TO BE SOLVED: To provide a dual-gate semiconductor device capable of solving a problem associated with boron diffusion, and a method of manufacturing the same.

SOLUTION: In a form of embodiment, the dual-gate semiconductor device contains a low-voltage region where a first gate dielectric are formed thereon and a diffusion barrier layer containing nitrogen and oxygen is formed on the first gate dielectric, and a high-voltage region where a second gate dielectric having a thickness thicker than that of the first gate dielectric is formed thereon and the diffusion barrier layer does not exist.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-358225

(P2001-358225A)

(43)公開日 平成13年12月26日 (2001.12.26)

(51)Int.Cl.⁷
H 0 1 L 21/8234
21/283
21/318
27/088

識別記号

F I
H 0 1 L 21/283
21/318
27/08

テ-マ-ト(参考)
C 4 M 1 0 4
C 5 F 0 4 8
1 0 2 C 5 F 0 5 8

審査請求 未請求 請求項の数34 O L (全 9 頁)

(21)出願番号 特願2001-105631(P2001-105631)
(22)出願日 平成13年4月4日 (2001.4.4)
(31)優先権主張番号 09/542763
(32)優先日 平成12年4月4日 (2000.4.4)
(33)優先権主張国 米国 (U.S.)

(71)出願人 301030605
アギア システムズ ガーディアン コーポレーション
Agere Systems Guard
ian Corporation
アメリカ合衆国, 32819-8698 フロリダ,
オーランド, サウス ジョン ヤング パークウェイ 9333
(74)代理人 100064447
弁理士 岡部 正夫 (外11名)

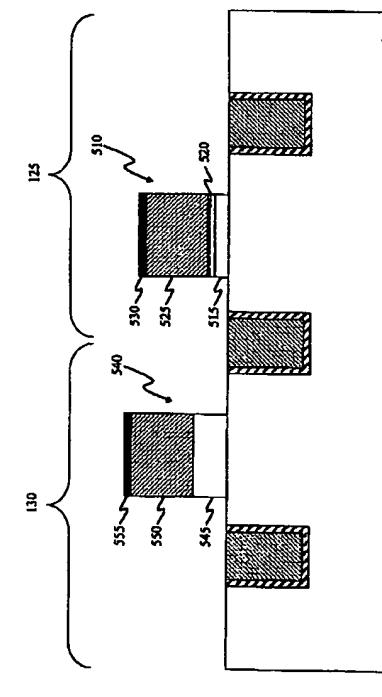
最終頁に続く

(54)【発明の名称】 空素および酸素含有拡散層を有するデュアルゲート半導体装置およびその製造方法

(57)【要約】

【課題】 本発明は、ホウ素拡散に伴う問題点を解決可能なデュアルゲート半導体装置とその製造方法を提供する。

【解決手段】 1つの実施の形態では、デュアルゲート半導体装置は、上に第1のゲート誘電体が形成されており、該第1のゲート誘電体の上に空素および酸素を含む拡散障壁層が形成されている低電圧領域と、第1のゲート誘電体より厚い厚さを有する第2のゲート誘電体が上に形成されており、前記拡散障壁層が無い高電圧領域と、を含む。



【說明】此題為本章的總結，主要考察對各類邏輯元件和集成電路的基本知識。題目分為三部分：第一部分是關於半導體二極管的知識；第二部分是關於集成電路的知識；第三部分是關於邏輯元件的知識。

【問題 1】半導體二極管的正向特性和反向特性分別是什麼？

【問題 2】半導體二極管的伏安特性曲線是怎樣的？

【問題 3】半導體二極管的正向特性和反向特性的關係是怎樣的？

【問題 4】半導體二極管的正向特性和反向特性的關係是怎樣的？

【問題 5】半導體二極管的正向特性和反向特性的關係是怎樣的？

【問題 6】半導體二極管的正向特性和反向特性的關係是怎樣的？

【問題 7】半導體二極管的正向特性和反向特性的關係是怎樣的？

【問題 8】半導體二極管的正向特性和反向特性的關係是怎樣的？

【問題 9】半導體二極管的正向特性和反向特性的關係是怎樣的？

【問題 10】半導體二極管的正向特性和反向特性的關係是怎樣的？

【問題 11】半導體二極管的正向特性和反向特性的關係是怎樣的？

【問題 12】半導體二極管的正向特性和反向特性的關係是怎樣的？

【問題 13】半導體二極管的正向特性和反向特性的關係是怎樣的？

【問題 14】半導體二極管的正向特性和反向特性的關係是怎樣的？

【問題 15】半導體二極管的正向特性和反向特性的關係是怎樣的？

【問題 16】半導體二極管的正向特性和反向特性的關係是怎樣的？

【問題 17】半導體二極管的正向特性和反向特性的關係是怎樣的？

【問題 18】半導體二極管的正向特性和反向特性的關係是怎樣的？

【問題 19】半導體二極管的正向特性和反向特性的關係是怎樣的？

【問題 20】半導體二極管的正向特性和反向特性的關係是怎樣的？

【問題 21】半導體二極管的正向特性和反向特性的關係是怎樣的？

【問題 22】半導體二極管的正向特性和反向特性的關係是怎樣的？

【問題 23】半導體二極管的正向特性和反向特性的關係是怎樣的？

【問題 24】半導體二極管的正向特性和反向特性的關係是怎樣的？

【問題 25】半導體二極管的正向特性和反向特性的關係是怎樣的？

【問題 26】半導體二極管的正向特性和反向特性的關係是怎樣的？

【問題 27】半導體二極管的正向特性和反向特性的關係是怎樣的？

【問題 28】半導體二極管的正向特性和反向特性的關係是怎樣的？

【問題 29】半導體二極管的正向特性和反向特性的關係是怎樣的？

【問題 30】半導體二極管的正向特性和反向特性的關係是怎樣的？

【問題 31】半導體二極管的正向特性和反向特性的關係是怎樣的？

【問題 32】半導體二極管的正向特性和反向特性的關係是怎樣的？

【問題 33】半導體二極管的正向特性和反向特性的關係是怎樣的？

【問題 34】半導體二極管的正向特性和反向特性的關係是怎樣的？

(ε)

图 3(a)展示了标准的 PMOS 结构，其栅极长度为 5µm。图 3(b)展示了短沟道 PMOS 结构，其栅极长度仅为 1.5µm。两个示意图都标注了栅极（Gate）、源极（Source）和漏极（Drain）。

【特許請求の範囲】

【請求項1】 デュアルゲート半導体装置であって、
上に第1のゲート誘電体が形成されており、該第1のゲート誘電体の上に窒素および酸素を含む拡散障壁層が形成されている低電圧領域と、
該第1のゲート誘電体より厚い厚さを有する第2のゲート誘電体が上に形成されており、前記拡散障壁層が無い高電圧領域と、を具備することを特徴とするデュアルゲート半導体装置。

【請求項2】 前記第2のゲート誘電体は、約3.5nmの厚さを有し、前記第1のゲート誘電体は、約1.0nmから約2.0nmに亘る厚さを有する請求項1記載のデュアルゲート半導体装置。

【請求項3】 前記拡散障壁層は、一般式 SiO_xNy を有する酸窒化物障壁層であり、XおよびYはガス流量および温度を変えることによって変化する可能性がある請求項1記載のデュアルゲート半導体装置。

【請求項4】 前記酸窒化物障壁層は、約0.5nmから約1.0nmに亘る厚さを有する請求項3記載のデュアルゲート半導体装置。

【請求項5】 前記第1および第2のゲート誘電体は酸化物である請求項1記載のデュアルゲート半導体装置。

【請求項6】 前記酸化物は二酸化珪素である請求項5記載のデュアルゲート半導体装置。

【請求項7】 前記拡散障壁層の上に形成された第1のゲートを更に含むことを特徴とする請求項1記載のデュアルゲート半導体装置。

【請求項8】 前記第2のゲート誘電体の上に形成された第2のゲートを更に含むことを特徴とする請求項7記載のデュアルゲート半導体装置。

【請求項9】 前記第1のゲートは、P型チャネル金属酸化膜半導体(PMOS)装置のゲートを形成する請求項7記載のデュアルゲート半導体装置。

【請求項10】 前記第1のゲートに関連しホウ素がドープされたソース／ドレイン領域を更に含むことを特徴とする請求項9記載のデュアルゲート半導体装置。

【請求項11】 前記拡散障壁層はホウ素注入を抑制する請求項10記載のデュアルゲート半導体装置。

【請求項12】 前記第1のゲート誘電体は緻密化された酸化物である請求項1記載のデュアルゲート半導体装置。

【請求項13】 デュアルゲート半導体装置を形成する方法であって、

該デュアルゲート半導体装置の低電圧領域の少なくとも一部に亘って第1のゲート誘電体を形成することと、
該第1のゲート誘電体上に窒素および酸素を含む拡散障壁層を形成すること、

デュアルゲート半導体装置の高電圧領域の少なくとも一部の上に、該第1のゲート誘電体の厚さより厚い第2のゲート誘電体を形成し、該高電圧領域には前記拡散障壁

層を形成しないことと、を含むことを特徴とする方法。

【請求項14】 前記第1および第2のゲート誘電体を形成することは、該第1のゲート誘電体を約1.0nmから約2.0nmに亘る厚さに形成することと、該第2のゲート誘電体を約3.5nmの厚さに形成することと、を含む請求項13記載の方法。

【請求項15】 拡散障壁層を形成することは、一般式 SiO_xNy を有する酸窒化物拡散障壁層を形成することを含み、XおよびYはガス流量および温度を変えることによって変化する可能性がある請求項13記載の方法。

【請求項16】 酸窒化物拡散障壁層を形成することは、該酸窒化物膜拡散障壁層を約0.5nmから約1.0nmに亘る厚さに形成することを含む請求項15記載の方法。

【請求項17】 拡散障壁層を形成することは、該拡散障壁層を約0.5nmから約1.0nmに亘る厚さに形成することを含む請求項13記載の方法。

【請求項18】 第1および第2のゲート誘電体を形成することは、酸化物を形成することを含む請求項13記載の方法。

【請求項19】 酸化物を形成することは、二酸化珪素を形成することを含む請求項18記載の方法。

【請求項20】 前記拡散障壁層の上に第1のゲートを形成することを更に含むことを特徴とする請求項13記載の方法。

【請求項21】 前記第2のゲート誘電体の上に第2のゲートを形成することを更に含むことを特徴とする請求項13記載の方法。

【請求項22】 第1のゲートを形成することは、P型チャネル金属酸化膜半導体(PMOS)装置を形成することを含む請求項20記載の方法。

【請求項23】 前記第1のゲートに関連する、ホウ素がドープされたソース／ドレイン領域を形成することを更に含むことを特徴とする請求項22記載の方法。

【請求項24】 前記拡散障壁層を形成することは、ゲート漏れを低下させ、ホウ素注入を抑制する請求項13記載の方法。

【請求項25】 拡散障壁層を形成することは、低圧化学気相成長(LPCVD)プロセスかまたはプラズマ化学気相成長(PECVD)プロセスを用いて拡散障壁層を形成することを含む請求項13記載の方法。

【請求項26】 前記第2のゲート誘電体の形成中に前記第1のゲート誘電体を緻密化することを更に含むことを特徴とする請求項13記載の方法。

【請求項27】 上に第1のゲート誘電体が形成されており、該第1のゲート誘電体の上に窒素および酸素を含む拡散障壁層が形成されている低電圧領域と、

該第1のゲート誘電体より厚い厚さを有する第2のゲート誘電体が上に形成されており、前記拡散障壁層が無い高電圧領域と、を含む基板上に設けられたデュアルゲー

体装置の部分断面図を示す。

【図1B】誘電体材料の第1層上に窒素および酸素含有層を従来からの方法で堆積した後の、図1Aに示す部分的に完成したデュアルゲート半導体装置を示す。

【図2】窒素および酸素含有層と誘電体材料の第1層とをエッチングするプロセスを示す。

【図3】誘電体材料の第2の層の成長につづく、図2に

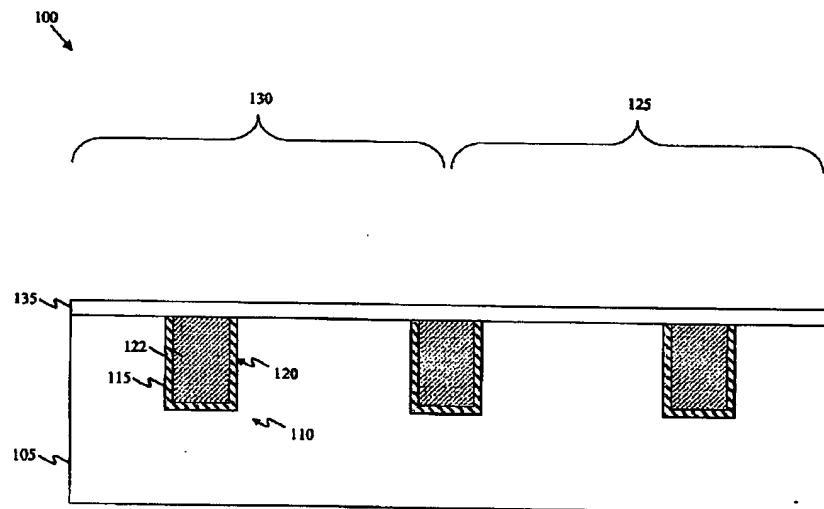
示す部分的に完成したデュアルゲート構造を示す。

【図4】ゲート材料を従来からの方法で堆積した後の、図3に示す部分的に完成したデュアルゲート半導体装置を示す。

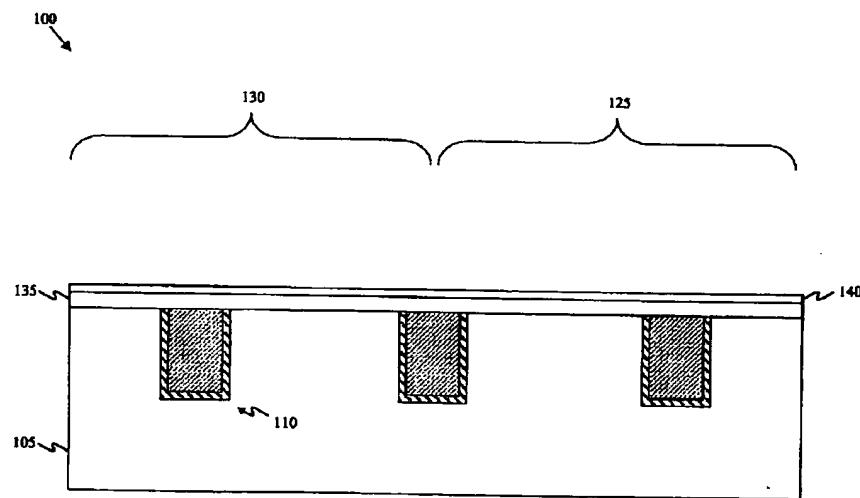
【図5】完成したデュアルゲート半導体装置を示す。

【図6】本発明の原理に従って製造されてよい、従来からの集積回路の断面図を示す。

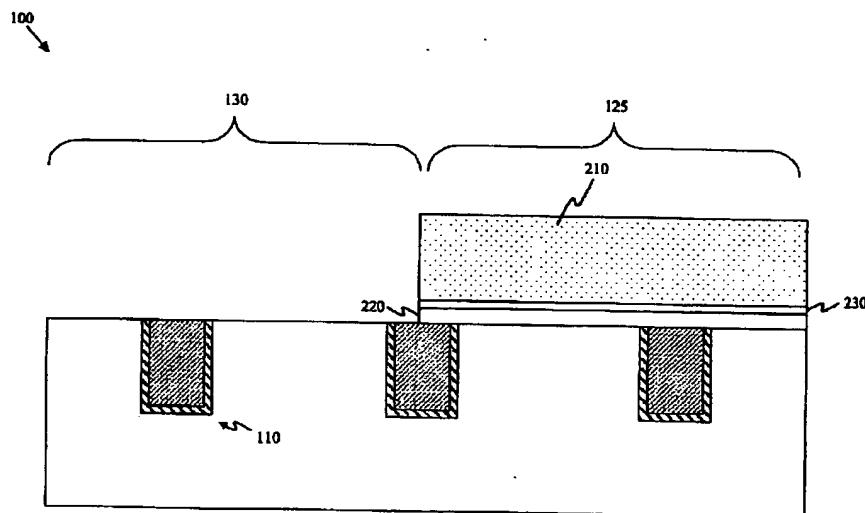
【図1A】



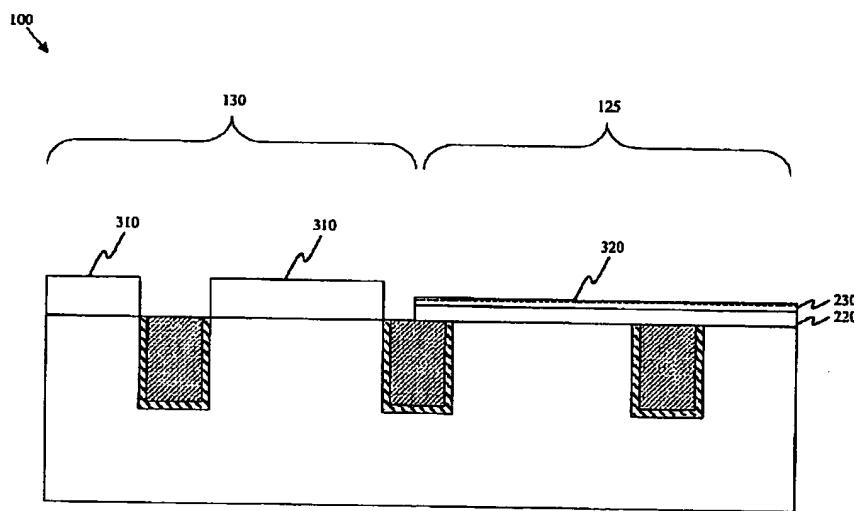
【図1B】



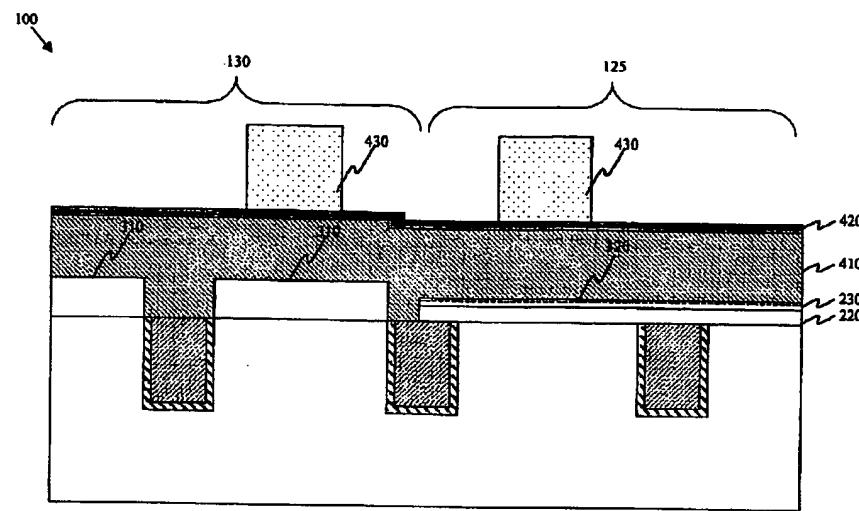
【図2】



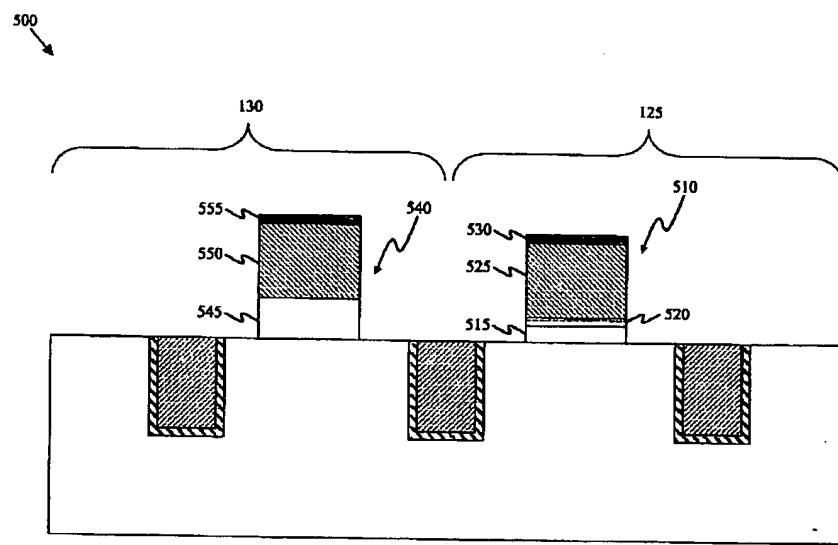
【図3】



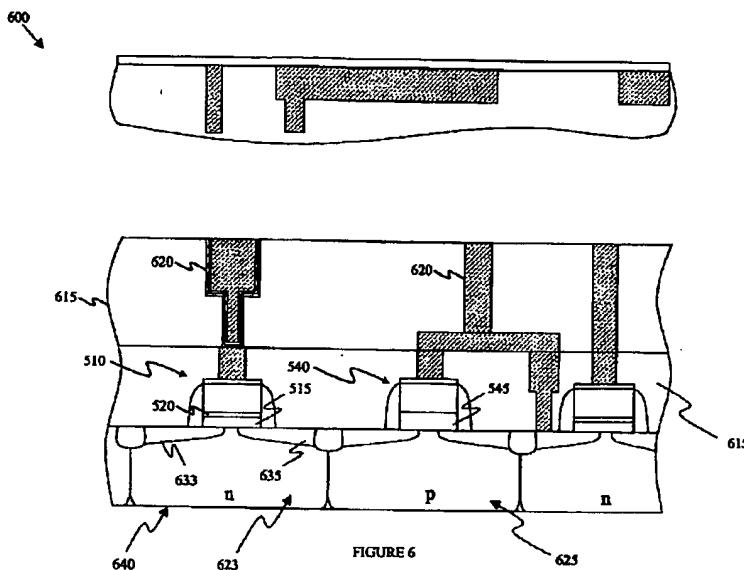
【図4】



【図5】



【図6】



フロントページの続き

(72)発明者 サイレッシュ チッティペッディ
アメリカ合衆国 18104 ペンシルヴァニア
ア, アレンタウン, レネイプ トレイル
308

(72)発明者 イー マ
アメリカ合衆国 32837 フロリダ, オー
ランド, ランヨン サークル 2569

(72)発明者 プラディップ ケ. ロイ
アメリカ合衆国 32819 フロリダ, オー
ランド, ヒデン アイビー コート 7706
Fターム(参考) 4M104 AA01 BB01 CC05 EE03 EE14
FF14 GG09 GG10 GG13 GG14
GG15 GG16 HH04
5F048 AA07 AC01 AC03 AC05 BA01
BB01 BB07 BB08 BB11 BB12
BB16 BB17 BC15 BG13 BG14
5F058 BA05 BD01 BD04 BD15 BF04
BF07 BF25 BF29 BF30 BJ01